

Andreas Stiller

Prozessorgeflüster

Von Verschiebungen und Versprechungen

Das war kein schönes Quartal, nicht für Intel und schon gar nicht für AMD. Und während Intel sich doch so langsam vom Moore'schen Gesetz verabschiedet, tönen IBM, Samsung und TSMC noch weiter.

Einen Umsatzrückgang von 4,6 Prozent musste Intel schlucken, vor allem die PC-Sparte brach kräftig um 14 Prozent ein. Allein die konkurrenzlose Datacenter Business Unit scheffelt mangels größerer Konkurrenz Geld nahezu nach Belieben und erbringt nach einem erneuten Zuwachs von 10 Prozent mit 3,9 Milliarden US-Dollar schon mehr als die Hälfte des traditionellen PC-Kerngeschäfts mit 7,5 Milliarden. Das müsste der Chefin dieser Unit, Diane Bryant, reichlich Rückenwind geben, um als Nachfolgerin der Präsidentin René James hoch gehandelt zu werden, sobald James die Firma Anfang nächsten Jahres wie angekündigt verlässt.

Letztlich ist es trotz 3,2 Prozent Rückgang mit 2,7 Milliarden Dollar immer noch ein durchaus erklecklicher Gewinn, auch wenn es das schlechteste zweite Quartal seit fünf Jahren ist. Bei AMD sieht das alles viel dramatischer aus. Der Umsatz ging weit stärker zurück als befürchtet, insbesondere bei Prozessoren und Grafikkarten fiel er um 54 Prozent auf nur noch 379 Millionen Dollar. Die Spielkonsolen können das zwar ein bisschen abmildern, ihr Markt von inzwischen 563 Millionen hat aber auch um 8 Prozent nachgelassen. Als Nettoverlust musste AMD 181 Millionen Dollar (im Vorjahr 36 Millionen) ausweisen. Der Aktienkurs gegenüber dem vor einem Jahr liegt zum Zeitpunkt des Redaktionsschlusses mit 1,8 US-Dollar gerade mal noch bei der Hälfte, die Marktkapitalisierung bei 1,4 Milliarden. Da muss man sich echt Sorgen machen.

Aber auch bei Intel läuft es mit der Zukunftsplanung holprig. Mit der Verschiebung des geplanten 10-nm-Prozesses von 2016 ins zweite Halbjahr 2017 muss sich Intel doch so langsam vom Moore'schen Gesetz verabschieden. Bei der Erklärung der nicht ganz so optimalen Quartalsergebnisse hat Intel-Chef Brian Krzanich jetzt das offiziell zugegeben, was an dieser Stelle schon mehrfach unterstellt wurde: aus Tick-Tock wird Tick-Tock-Tock. Statt der Cannonlake-Generation aus der 10-nm-Fertigung kommt im zweiten Halbjahr 2016 erst einmal nach dem Broadwell und dem Skylake ein weiterer 14-nm-Chip mit neuer beziehungsweise verbesserter Architektur, der Kaby Lake. Viel Neues kann man von Kaby Lake dabei nicht erwarten, das dürfte eher ein Skylake-Refresh sein, so wie wir es bei Haswell mit dem Devil's Canyon ja auch schon erlebt hatten.

Kaum zieht Intel etwas zurück, prescht IBM lautstark vor, nämlich bereits mit 7-Nanome-

ter-Technik. IBM verriet allerdings nur wenige Details und gab keine Zeitvorstellungen. Zusammen mit der von IBM Research geführten Forschungsallianz mit dem Auftragsfertiger Globalfoundries, der Chipsparte von Samsung und dem College of Nanoscale Science and Engineering (CNSE) an der Uni Albany im Bundesstaat New York baute man einen Test-Chip mit funktionsfähigen Transistoren, bei denen Silizium-Germanium (SiGe) im Channel zum Einsatz kommt. Belichtet wurde dabei mit Extrem-UV-(EUV-)Lithografie. Für Einzel Exemplare ist das schon länger machbar, das Problem ist die Massenfertigung.

Bisherige Rekorde von TSMC mit dem NXE:3300B EUV von ASML mit bestenfalls 13,5 nm Auflösung liegen bei 90 Watt EUV-Lichtleistung. Damit kommen sie auf 1000 Wafer am Tag. Etwa 1500 Wafer pro Tag sind für eine produktive Massenfertigung nötig. TSMC ist zuversichtlich: „Wir starten die Risiko-Produktion mit 7-nm-Technologie Anfang 2017.“ Zunächst einmal erwartet man aber die Test-Produktion von 10 nm vermutlich in klassischer 193-nm-Laser-Immersionstechnik noch bis Ende dieses Jahres. Allererste Prototypen hat TSMC schon im Juni, drei Wochen nach den ersten 10-nm-Chips des Konkurrenten Samsung, herumgezeigt. Doch zu sehr sollte man den vollmundigen Versprechungen nicht trauen. Nachher folgen dann doch, wie bei Intel jetzt, kleinlauter Verschiebungen.

OPA in Action

Apropos Versprechung: Den Xeon Phi x200 (Knights Landing) hat uns Intel noch bis spätestens Jahresende Weiß auf Blau versprochen. 50 Partner würden mit Intel zusammenarbeiten, mindestens einer davon soll noch dieses Jahr ein kommerzielles Produkt liefern können, wer mag wohl der Auserwählte sein?

Die Servergemeinde muss jedoch noch geraume Zeit auf Skylake-EP mit AVX512 und optional Omni-Path Interconnect warten. Das kann man einer vor einigen Wochen

durchgesickerten Roadmap mit der Purley-Plattform entnehmen, die für später in 2017 eingeplant ist. Der Kaby-Lake-Chipsatz ist für den Einprozessor-Skylake mit dem kleineren Server-Sockel R ausgelegt. Der größere Bruder Skylake-EP besitzt hingegen den Server-Sockel P. Der dürfte weitgehend sockelkompatibel zum Xeon Phi x200 sein. Mit seinen mehr als 3500 Pins reicht er für bis zu sechs Speicherkanäle und kann optional mit Omni-Path Interconnect laufen. Dem Skylake-EP hat Intel mit 48 PCIe-Lanes dabei mehr gegönnt als dem Xeon Phi x200, der sich auf 36 beschränkt. Für Omni-Path werden jeweils 16 PCIe-Lanes zu einem Fabric-Port umgewidmet, viel PCIe bleibt dem Xeon Phi bei zwei Omni-Path-Ports dann nicht mehr.

Die von der eingekauften QLogic- und Cray-Aries-Mannschaft entwickelte Omni-Path-Architektur (OPA) verwendet vier Lanes mit jeweils 25,8 GBit/Lane, kommt also brutto auf knapp über 100 GBit. Die Latenzen sollen dabei um über 20 Prozent niedriger sein als bei InfiniBand-eDR.

Intel zeigte auf der ISC'15 (siehe S. 14) auch erstmals eine Omni-Path-Demo mit drei Xeon-Phi-x200-Knoten und einigen Xeon-Hosts, allerdings ziemlich verrammelt hinter einer dicken Glastür. Nur auf hartnäckige Nachfrage gab man zu, dass natürlich die Xeon Phis nicht schon mit integriertem Omni-Path-Interconnects auf dem Die aufwarten (KNL-F), sondern wie die Xeons auch noch mit PCIe-Karten laufen. Irgendwelche Performancewerte wurden nicht ausgegeben.

Intels HPC-Chef Dr. Rajeeb Hazra ging in seiner Keynote auf der ISC'15 auf solche Feinheiten nicht ein, sondern beschäftigte sich mit den ganz großen Themen wie der Konvergenz von HPC und Big Data. Seine Headline lautete, für Nichtprogrammierer etwas kryptisch: (HPC || Big Data) vs. (HPC && Big Data). C-Kenner verstehen das zwar, sehen aber sofort, der zweite Term steckt ja im ersten schon drin. Die Frage war also vermutlich nicht mit || gemeint, sondern mit einem logischen Entweder-Oder. Den zuständigen Operator ^^ gibts in C++ jedoch nicht, den müsste man selber definieren. Die Schlussfolgerung von Raj aber ist klar, HPC und Big Data wachsen mittelfristig zusammen. Speicher und Storage und datenzentrierte Techniken werden dabei immer wichtiger.

Apropos Speicher: Intel hat in oben erwähnter Roadmap auch „Up to 4x the capacity & lower cost than DRAM, and 500x faster than NAND“ versprochen, da darf man nun sehr gespannt sein, was da so auf uns zukommt. (as@ct.de)

IBM Research und Partner präsentieren den ersten 7-nm-Testchip.

